

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-217398
(P2001-217398A)

(43)公開日 平成13年8月10日 (2001.8.10)

(51)Int.Cl.
H 01 L 27/10
G 11 C 11/15
H 01 L 43/08

識別記号
4 5 1

F I
H 01 L 27/10
G 11 C 11/15
H 01 L 43/08

テマコト(参考)
4 5 1 5 F 0 8 3
Z

審査請求 未請求 請求項の数10 O L (全 14 頁)

(21)出願番号 特願2000-26690(P2000-26690)
(22)出願日 平成12年2月3日 (2000.2.3)

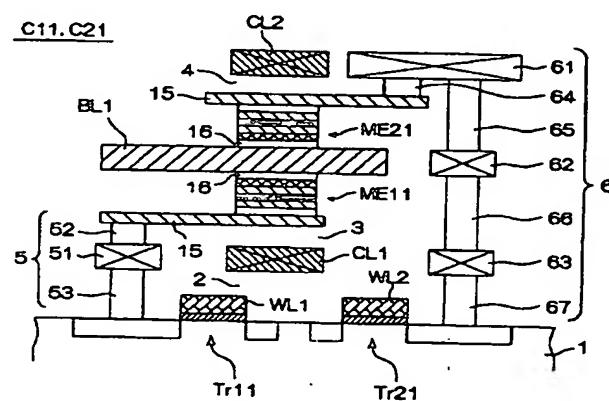
(71)出願人 000116024
ローム株式会社
京都府京都市右京区西院鴨崎町21番地
(72)発明者 鳩△鳩▽ 陸章
京都市右京区西院鴨崎町21番地 ローム株式会社内
(74)代理人 100087701
弁理士 稲岡耕作 (外2名)
Fターム(参考) 5F083 FZ10 JA02 KA01 KA05 MA04
HA19 ZA21

(54)【発明の名称】 強磁性トンネル接合素子を用いた記憶装置

(57)【要約】

【課題】強磁性トンネル接合素子を用いた記憶装置（磁気メモリ装置）を高集積化する。また、このうような記憶装置で多値メモリの記憶を実現する。

【解決手段】強磁性トンネル接合素子を備えたメモリエレメントME11, ME21は、ビットラインBL1を挟んで半導体基板1上に積層されている。メモリエレメントME11は、コントロールラインCL1およびビットラインBL1に流れる電流により生じる磁界を印加することで、情報の書き込みを行える。メモリエレメントME21は、ビットラインBL1およびコントロールラインCL2に流れる電流により生じる磁界を印加することで、情報の書き込みを行える。メモリエレメントME11, ME21を個別のドランジスタTr11, Tr21に接続すれば、1メモリセル分の面積に2個のセルを配置できる。メモリエレメントME11, ME21を共通のトランジスタに接続すれば、多値情報を記憶できる。



【特許請求の範囲】

【請求項1】基板上に積層されて形成され、強磁性トンネル接合素子をそれぞれ有する第1および第2のメモリエレメントと、

上記第1および第2のメモリエレメントの間に配置され、これらの第1および第2のメモリエレメントの情報書換えるために共有される第1の電流印加ラインと、
上記第1のメモリエレメントに対して上記第2のメモリエレメントとは反対側に配置され、上記第1のメモリエレメントの情報書換えのために用いられる第2の電流印加ラインと、

上記第2のメモリエレメントに対して上記第1のメモリエレメントとは反対側に配置され、上記第2のメモリエレメントの情報書換えのために用いられる第3の電流印加ラインとを含むことを特徴とする強磁性トンネル接合素子を用いた記憶装置。

【請求項2】上記第1のメモリエレメントに接続され、この第1のメモリエレメントの記憶情報を読み出すための第1の読出トランジスタと、

上記第2のメモリエレメントに接続され、この第2のメモリエレメントの記憶情報を読み出すための第2の読出トランジスタとをさらに含むことを特徴とする請求項1記載の記憶装置。

【請求項3】上記第1および第2のメモリエレメントに共通に接続され、これらの第1および第2のメモリエレメントの記憶情報を共通に読み出すための読出トランジスタをさらに含むことを特徴とする請求項1記載の記憶装置。

【請求項4】上記第1の電流印加ラインが、上記第1および第2のメモリエレメントの記憶情報の読み出るために共有されることを特徴とする請求項1ないし3のいずれかに記載の記憶装置。

【請求項5】複数個のメモリセルを基板上にマトリクス配列して構成された記憶装置であつて、

各メモリセルは、強磁性トンネル接合素子をそれぞれ有する第1および第2のメモリエレメントを上記基板上に積層して構成されており、

上記記憶装置は、

列方向に整列した複数のメモリセルに備えられた上記第1および第2のメモリエレメントの間を通り配置され、上記第1および第2のメモリエレメントに対する記憶情報の書換えのために共通に用いられる第1の電流印加ラインと、

行方向に整列した複数のメモリセルにおいて上記第1のメモリエレメントに対して上記第2のメモリエレメントとは反対側を通り配置され、上記第1のメモリエレメントの記憶情報を書き換えるための第2の電流印加ラインと、

行方向に整列した複数のメモリセルにおいて上記第2のメモリエレメントに対して上記第1のメモリエレメント

とは反対側を通り配置され、上記第2のメモリエレメントの記憶情報を書き換えるための第3の電流印加ラインとを含むことを特徴とする強磁性トンネル接合素子を用いた記憶装置。

【請求項6】各メモリセルは、上記第1および第2のメモリエレメントにそれぞれ接続され、上記第1および第2のメモリエレメントの記憶情報を読み出すための第1および第2の読出トランジスタをさらに備え、
行方向に整列した複数のメモリセルに備えられた上記第1の読出トランジスタに共通に接続された第1のワードラインと、

行方向に整列した複数のメモリセルに備えられた上記第2の読出トランジスタに共通に接続された第2のワードラインとをさらに含むことを特徴とする請求項5記載の記憶装置。

【請求項7】上記第1および第2の読出トランジスタは、上記行方向に沿ってずらして上記基板上に形成されていることを特徴とする請求項6記載の記憶装置。

【請求項8】各メモリセルは、上記第1および第2のメモリエレメントに共通に接続され、これらの第1および第2のメモリエレメントの記憶情報を共通に読み出すための読出トランジスタをさらに含み、

行方向に整列した複数のメモリセルに備えられた上記読出トランジスタのゲートに共通に接続されたワードラインをさらに含むことを特徴とする請求項5記載の記憶装置。

【請求項9】上記第1の電流を印加ラインが、上記第1および第2のメモリエレメントの記憶情報の読み出のために共有されるビットラインであることを特徴とする請求項5ないし8のいずれかに記載の記憶装置。

【請求項10】上記第2のメモリエレメント上に、上記第3の電流印加ラインを挟んで、さらに第3のメモリエレメントが積層されており、

上記第3のメモリエレメントに対して上記第2のメモリエレメントとは反対側に、この第3のメモリエレメントの記憶情報を書き換えるための第4の電流印加ラインが設けられていることを特徴とする請求項1ないし9のいずれかに記載の記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、強磁性トンネル接合素子を用いた記憶装置に関する。

【0002】

【従来の技術】強磁性トンネル接合素子(MTJ: Magnetic Tunnel Junction)は、一対の強磁性体層と、これらの間に挟まれた数nm厚のトンネル絶縁層(アルミナ層など)を有している。一対の強磁性体層間に電圧を印加すると、トンネル絶縁層にはトンネル電流が流れる。このトンネル電流は、一対の強磁性体層の磁気モーメントが平行のときに最大となり、一対の強磁性体層の磁気モー

メントが反平行のときに最小となる。より具体的には、絶縁層を通過するトンネル電流は、両強磁性体層における伝導電子のアップスピンの状態密度の積と、伝導電子のダウ nsスピンの状態密度の積との和に比例する。磁気モーメントが平行な場合、一対の強誘電体層の伝導電子の多数スピンが同じ向きになり、かつ、その状態密度は、少数スピンよりも大きな値をとるから大きなトンネル電流が流れる。これに対して、磁気モーメントが反平行の場合には、多数スピンが逆向きになるので、多数スピンの状態密度は、一対の強磁性体層の一方において大きな値をとり、他方において小さな値をとる。ダウ nsスピンについても同様の状況となるので、結局、トンネル電流は小さな値をとる。強磁性体層／絶縁層／強磁性体層の人工格子構造で発現する上記の効果は、TMR (Tunnel MagnetoResistance) 効果と呼ばれている。

【0003】強磁性体層の磁気モーメントは、外部磁界を与えることによって変化させることができるから、強磁性トンネル接合素子を利用して、磁気メモリ（とくにMRAM (Magnetic Random Access Memory)）を実現できる。外部磁界を与えないければ、強磁性体層の磁気モーメントは変化しないので、これをを利用して情報の不揮発記憶機能を実現できる。MRAMにおいては、通常のダイナミックRAMなどとは異なり、記憶内容を読み出すためのビットラインとメモリセルのアドレスを指定するためのワードラインのほかに、記憶内容を書き込むためのコントロールラインが必要である。

【0004】図9に、MRAMのメモリセルに備えられるメモリエレメントの構造を示す。メモリエレメントMEは、一対の強磁性体層11、12（たとえば、CoFeからなる。）間にたとえばアルミナからなるトンネル絶縁層13を挟んだ強磁性トンネル接合素子10と、このトンネル接合素子10のうちの一方の強磁性体層12に隣接して設けられた反強磁性体層14（たとえば、MnFeからなる。）と、この反強磁性体層14に接触して設けられた下部電極15（たとえば、Ti/Pdからなる。）と、他方の強磁性体層11に接触して設けられた上部電極16（たとえば、Pd/Tiからなる。）とを有している。

【0005】上下の電極15、16間に電圧を印加したときにトンネル絶縁層13を介して流れるトンネル電流は、一対の強磁性体層11、12の磁気モーメントが平行か反平行かに応じて大小二種類の値をとる。反強磁性体層14は外部磁界によらずに磁界の方向を保持する性質を有しており、そのため、この反強磁性体層14に隣接する強磁性体層12の磁気モーメントの方向は外部磁界によらずに一方向に保持される。これに対して、もう一方の強磁性体層11の磁気モーメントは、外部磁界の印加によって変化しうる。磁気モーメントの方向が外部磁界に応じて変化する強磁性体層11はフリー層と呼ばれ、磁気モーメントの方向が外部磁界によらずに保持される強磁性体層12は、ピン層と呼ばれる。

【0006】図10は、図9のメモリエレメントMEを用いた磁気メモリのセル構造を説明するための図解的な断面図である。メモリセル選択用のMOSトランジスタTrのゲートはワードラインWLをなしている。このMOSトランジスタTrのドレインには、ノード17などを介してメモリエレメントMEの下部電極15が接続されている。そして、メモリエレメントMEの上部電極16は、情報読出のためのピットラインBLに接続されている。

【0007】ピットラインBLとワードラインWLとは互いに直交する方向に延びて形成されている。そして、ワードラインWLと平行に、コントロールラインCLが設けられている。このコントロールラインCLは、メモリエレメントMEに必要十分な磁界を印加できる位置に形成されている。たとえば、メモリエレメントMEのピン層12の磁気モーメントが反強磁性体層14によって、図10の右向きに固定されていると仮定する。そして、フリー層11の磁気モーメントを図10の右向きから左向きに反転させる場合を考える。図10において、ピットラインBLに右向きの電流を印加し、コントロールラインCLには、図10の紙面の裏側から表側に向かう方向の電流を印加する。これにより、メモリエレメントMEのフリー層11付近には、ピットラインBLおよびコントロールラインCLに流れる電流により、アンペールの法則により規定される磁界が生じる。より具体的には、フリー層11の磁気モーメントは、ピットラインBLからの磁界によって図10の紙面の裏向きの力を受け、さらに、コントロールラインCLからの磁界によって図10の左方向の力を受ける。これらの力により、フリー層11の磁気モーメントは、右向きの状態から、紙面裏向きの状態に起こされ、この状態を経て、左向きに反転する。

【0008】磁気異方性によって、フリー層11の磁気モーメントは、右向きか左向きかのいずれかに安定して保持されるので、反転後のフリー層11の磁気モーメントは、外部磁界を取り除いた後も安定している。このようにして、フリー層11とピン層12との磁気モーメントが反平行になり、トンネル電流が小さい状態（たとえば、「0」の状態と定義される。）を書き始めたことになる。フリー層11の磁気モーメントを右向きにする場合には、コントロールラインCLに印加する電流の向きを上述の場合の逆向きにすればよい。

【0009】情報読出時には、ワードラインWLに電圧を印加して、メモリエレメントMEに接続されたMOSトランジスタTrを導通させる。この状態で、ピットラインBLに電圧を印加するとともに、メモリエレメントMEに流れるトンネル電流の大小をセンサアンプ（図示せず）で検知すれば、このメモリエレメントMEに書き込まれている二値データ（「1」または「0」）を読み出すことができる。つまり、トンネル電流が大きければ

「1」の状態（フリー層11およびピン層12の磁気モーメントが平行な状態）を読み出したことになり、トンネル電流が小さければ「0」の状態を読み出したことになる。

【0010】このようにして、ビットラインBLおよびコントロールラインCLに流れる電流の向きおよび大きさによって、フリー層11の磁気モーメントの向きを制御して、「0」または「1」の二値情報を記憶したり、これを読み出したりすることができる。図11は、従来のMRAMの電気的構成を説明するための電気回路図である。複数個のメモリセルはマトリクス配列されている。行方向に配列されたメモリセルC11, C12, ; C21, C22のトランジスタTrは、ワードラインWL1, WL2をそれぞれ共有しており、列方向に配列されたメモリセルC11, C21; C12, C22は、それぞれビットラインBL1, BL2に共通接続されている。

【0011】

【発明が解決しようとする課題】上述のようなMRAMの構造では、メモリエレメントMEの上下に、互いに直交するビットラインBLおよびコントロールラインCLを配置する必要がある。そのため、メモリエレメントMEとトランジスタTrとを接続するノード17と、コントロールラインCLと同じ層の薄膜で形成する必要がある。このため、メモリセルの密度が配線のピッチにより規定されてしまう。したがって、高集積化のために超微細加工が必要となり、さらなる技術開発やコストアップが必至である。したがって、現状では、MRAMの高集積化が困難であるという問題がある。

【0012】また、フリー層11とピン層12とは、平行または反平行の二状態を取りうるに過ぎないから、フラッシュメモリのような多値メモリを実現できないという問題があった。そこで、この発明の第1の目的は、上述の技術的課題を解決し、高集積化に有利な構造の強磁性トンネル接合素子を用いた記憶装置を提供することである。また、この発明の第2の目的は、多値情報の記憶が可能なメモリセル構造を強磁性トンネル接合素子を用いて実現した記憶装置を提供することである。

【0013】

【課題を解決するための手段および発明の効果】上記の目的を達成するための請求項1記載の発明は、基板

(1) 上に積層されて形成され、強磁性トンネル接合素子(10)をそれぞれ有する第1および第2のメモリエレメント(ME11, ME21; ME11a, ME11b; ME1, ME2)と、上記第1および第2のメモリエレメントの間に配置され、これらの第1および第2のメモリエレメントの情報書換えのために共有される第1の電流印加ライン(BL1, BLa)と、上記第1のメモリエレメントに対して上記第2のメモリエレメントとは反対側に配置され、上記第1のメモリエレメントの情

報書換えのために用いられる第2の電流印加ライン(CL1, CL1a, CLa)と、上記第2のメモリエレメントに対して上記第1のメモリエレメントとは反対側に配置され、上記第2のメモリエレメントの情報書換えのために用いられる第3の電流印加ライン(CL2, CL1b, CLb)とを含むことを特徴とする強磁性トンネル接合素子を用いた記憶装置である。ただし、括弧内の英数字は、後述の実施形態における対応構成要素を参考のために記したものである。以下、この項において同じ。

【0014】上記強磁性トンネル接合素子は、一対の強磁性体層間にトンネル絶縁体層を挟持した構造のものであってもよい。この場合に、メモリエレメントは、強磁性トンネル接合素子の一方の強磁性体層側に反強磁性体層を配置し、このようにしてできる強磁性体層／トンネル絶縁体層／強磁性体層／反強磁性体層の積層構造を上部電極および下部電極で挟んだ構成であってもよい。このような構造の場合、反強磁性体層側の強磁性体層の磁気モーメントは一方向に保持される。この強磁性体層はピン層とよばれる。これに対して、他方の強磁性体層の磁気モーメントの方向は外部磁界の影響を受けて変化する。この強磁性体層はフリー層と呼ばれる。そこで、適当な外部磁界をメモリエレメントに印加し、フリー層の磁気モーメントをピン層の磁気モーメントと平行または反平行な状態として、二値情報を書き込むことができる。フリー層の磁気モーメントの方向は、外部磁界を取り除いた後も保持されるから、不揮発な記憶が達成される。そして、上下の電極間に適当な読出電圧を印加して、強磁性体層間のトンネル電流の大小を検出することにより、記憶情報を読み出すことができる。

【0015】この発明では、基板（たとえば半導体基板）上に、第1および第2のメモリエレメントが積層配置され、これらの第1および第2のメモリエレメントの間に第1の電流印加ラインが配置される。この第1の電流印加ラインは、第1および第2のメモリエレメントの記憶情報の書換えのために共通に用いることができる。一方、第1のメモリエレメントに関連して、第2のメモリエレメントの反対側には、第2の電流印加ラインが配置され、第2のメモリエレメントに関連して、第1のメモリエレメントの反対側には、第1の電流印加ラインが配置される。

【0016】第1～第3の電流印加ラインに電流を印加すると、アンペールの法則に従って、電流の大きさおよび電流経路からの距離に応じた磁界が形成される。そこで、第1および第2の電流印加ラインに適切な電流を供給することにより、第1のメモリエレメントに対する情報の書き込みを行える。このとき第2の電流印加ラインから比較的遠い第2のメモリエレメントの記憶情報が書き換えられることはない。同様に、第1および第3の電流印加ラインに適切な電流を供給することにより、第2のメ

モリエレメントの記憶情報を、第1のメモリエレメントの記憶情報に影響を与えることなく書き換えることができる。

【0017】このようにして、基板上に積層された2つのメモリエレメントを含むメモリセルには、2ビットの情報を記憶することができる。請求項2記載の発明は、上記第1のメモリエレメントに接続され、この第1のメモリエレメントの記憶情報を読み出すための第1の読出トランジスタ(T_{r11})と、上記第2のメモリエレメントに接続され、この第2のメモリエレメントの記憶情報を読み出すための第2の読出トランジスタ(T_{r21})とをさらに含むことを特徴とする請求項1記載の記憶装置である。

【0018】この構成によれば、第1および第2のメモリエレメントの記憶情報が第1および第2の読出トランジスタを介して独立に読み出される。これにより、1つ分のメモリセルの占有面積内に各1ビットの情報を記憶することができる2つのメモリセルを実質的に配置することができるから、集積度を向上することができる。もちろん、3個以上のメモリエレメントを同様にして基板上に積層することもできるから、3つ以上のメモリセルを1つ分のメモリセルの配置スペースに実質的に配置することも可能である。このような構成もこの発明の範囲内のものである。

【0019】請求項3記載の発明は、上記第1および第2のメモリエレメントに共通に接続され、これらの第1および第2のメモリエレメントの記憶情報を共通に読み出すための読出トランジスタ(T_{r11} , T_r)をさらに含むことを特徴とする請求項1記載の記憶装置である。この構成によれば、第1および第2のメモリエレメントの記憶情報は共通の読出トランジスタを介して読み出されるようになっているので、1つのメモリセルに2ビットの多値情報を記憶できることになる。すなわち、第1および第2のメモリエレメントにおいてピン層およびフリー層の磁気モーメントがそれぞれ平行または反平行の状態をとりうるから、合計4つの状態を実現できる。そして、第1および第2のメモリエレメントを共通に読出トランジスタに接続した構成により、上記4つの状態に応じて異なる4種類のトンネル電流を検出できる。

【0020】ただし、第1および第2メモリエレメントの構成が同様であれば、第1のメモリエレメントにおける磁気モーメントの状態が平行で、かつ、第2のメモリエレメントにおける磁気モーメントの状態が反平行である場合と、第1のメモリエレメントにおける磁気モーメントの状態が反平行で、かつ、第2のメモリエレメントにおける磁気モーメントの状態が平行である場合とでは、検出される電流量が等しい。したがって、この場合には、実質的に3値の記憶が可能であることになる。

【0021】第1および第2のメモリエレメントの構成

を異ならせることによって（とくに、強磁性体層／トンネル絶縁体層／強磁性体層の構造の強磁性トンネル接合素子の面積を異ならせることによって）、4値の記憶が可能になる。請求項3の発明の構成を発展させて、3個以上のメモリエレメントを基板上に積層してもよい。この場合、3ビット以上の多値メモリが実現されることになる。このような構成も、請求項3の発明の範囲内のものである。

【0022】請求項4記載の発明は、上記第1の電流印加ラインが、上記第1および第2のメモリエレメントの記憶情報の読出のために共有されることを特徴とする請求項1ないし3のいずれかに記載の記憶装置である。この構成では、第1の電流印加ラインが、情報の書換えのみならず、情報の読み出時にも、第1および第2のメモリエレメント間で共有されるから、記憶装置の回路構成を簡単にすることができる。

【0023】このような構成は、たとえば、第1および第2のメモリエレメントの一方の電極（たとえば、フリー層側の電極）を第1の電流印加ラインに接続するとともに、第1および第2のメモリエレメントの他方の電極（たとえば、ピン層側の電極）を個別のまたは共通の読出トランジスタに接続することによって実現される。この場合、第2の電流印加ラインは、第1のメモリエレメントの上記他方の電極の近傍に、当該電極とは絶縁された状態で配置すればよい。同様に、第3の電流印加ラインは、第2のメモリエレメントの上記他方の電極の近傍に、当該電極とは絶縁された状態で配置すればよい。

【0024】なお、第1の電流印加ラインが情報の読み出に兼用されない場合には、第2の電流印加ラインを第1のメモリエレメントからの情報読み出に用い、第3の電流印加ラインを第2のメモリエレメントからの情報読み出に用いることもできる。この場合には、第1および第2のメモリエレメントの一方の電極を第2および第3の電流印加ラインにそれぞれ接続し、第1および第2のメモリエレメントの他方電極を個別のまたは共通の読出トランジスタに接続する。そして、第1の電流印加ラインは、第1および第2のメモリエレメントの間ににおいて上記他方の電極と絶縁された状態で設ければよい。

【0025】請求項5記載の発明は、複数個のメモリセルを基板上にマトリクス配列して構成された記憶装置であって、各メモリセルは、強磁性トンネル接合素子をそれぞれ有する第1および第2のメモリエレメントを上記基板上に積層して構成されており、上記記憶装置は、列方向に整列した複数のメモリセルに備えられた上記第1および第2のメモリエレメントの間を通じて配置され、上記第1および第2のメモリエレメントに対する記憶情報の書換えのために共通に用いられる第1の電流印加ラインと、行方向に整列した複数のメモリセルにおいて上記第1のメモリエレメントに対して上記第2のメモリエレメントとは反対側を通じて配置され、上記第1のメモ

リエレメントの記憶情報を書き換えるための第2の電流印加ラインと、行方向に整列した複数のメモリセルにおいて上記第2のメモリエレメントに対して上記第1のメモリエレメントとは反対側を通って配置され、上記第2のメモリエレメントの記憶情報を書き換えるための第3の電流印加ラインとを含むことを特徴とする強磁性トンネル接合素子を用いた記憶装置である。

【0026】この発明によれば、メモリセルを、第1および第2のメモリエレメントを基板に垂直な方向に積層した構造とすることにより、強磁性トンネル接合素子を用いた集積度の高い記憶装置を実現できる。請求項6記載の発明は、各メモリセルは、上記第1および第2のメモリエレメントにそれぞれ接続され、上記第1および第2のメモリエレメントの記憶情報を読み出すための第1および第2の読出トランジスタをさらに備え、行方向に整列した複数のメモリセルに備えられた上記第1の読出トランジスタに共通に接続された第1のワードライン(WL1)と、行方向に整列した複数のメモリセルに備えられた上記第2の読出トランジスタに共通に接続された第2のワードライン(WL2)とをさらに含むことを特徴とする請求項5記載の記憶装置である。

【0027】この構成により、各メモリセルの第1および第2のメモリエレメントの記憶情報を独立に読み出すことができる、1つのメモリセル分の面積に実質的に2つのメモリセルを配置することができる。3個以上のメモリエレメントを基板上に積層すれば、さらに、実質的な集積度を向上できる。請求項7記載の発明は、上記第1および第2の読出トランジスタは、上記行方向に沿ってずらして上記基板上に形成されていることを特徴とする請求項6記載の記憶装置である。

【0028】この構成によれば、第1および第2の読出トランジスタがワードラインに沿ってずれて配列されているので、ワードラインの引き回しが容易になり、記憶装置の設計が容易になる。請求項8記載の発明は、各メモリセルは、上記第1および第2のメモリエレメントに共通に接続され、これらの第1および第2のメモリエレメントの記憶情報を共通に読み出すための読出トランジスタをさらに含み、行方向に整列した複数のメモリセルに備えられた上記読出トランジスタのゲートに共通に接続されたワードライン(WL1)をさらに含むことを特徴とする請求項5記載の記憶装置である。

【0029】この構成により、第1および第2のメモリエレメントを積層した構造により、集積度の高い2ビットの多値メモリを実現できる。3ビット以上の多値メモリは、3個以上のメモリエレメントを第1および第2のメモリエレメントとともに積層することによって実現できる。請求項9記載の発明は、上記第1の電流を印加ラインが、上記第1および第2のメモリエレメントの記憶情報の読み出るために共有されるビットラインであることを特徴とする請求項5ないし8のいずれかに記載の記憶

装置である。

【0030】この構成により、請求項4の発明の場合と同様な効果を達成できる。請求項10記載の発明は、上記第2のメモリエレメント上に、上記第3の電流印加ラインを挟んで、さらに第3のメモリエレメント(ME3)が積層されており、上記第3のメモリエレメントに対して上記第2のメモリエレメントとは反対側に、この第3のメモリエレメントの記憶情報を書き換えるための第4の電流印加ライン(BLb)が設けられていることを特徴とする請求項1ないし9のいずれかに記載の記憶装置である。

【0031】この構成によれば、基板上に3個のメモリエレメントが積層されているので、1つのメモリセル分のスペースで3ビットの情報を記憶することができる。これにより、強磁性トンネル接合素子を用いた記憶装置の集積度をさらに高めることができる。第3のメモリエレメントに対する情報の書き込みは、第2のメモリエレメントと共有することになる第3の電流印加ラインと、第4の電流印加ラインとに、適切な書き込み電流を印加することによって達成できる。第4の電流印加ラインは、第1および第2のメモリエレメントから十分に離隔して配置することができるので、この第4の電流印加ラインに印加された電流により形成される磁界が、第1または第2のメモリエレメントの記憶内容を書き換えるおそれはない。

【0032】

【発明の実施の形態】以下では、この発明の実施の形態を添付図面を参照して詳細に説明する。図1は、この発明の第1の実施形態に係るMRAM(磁気メモリ装置)のメモリセルの構造を説明するための図解的な断面図であり、図2は、その平面レイアウトを示す図解的な平面図である。図1および図2には、ビットラインBLを共有する2個のメモリセルC11, C21が示されている。

【0033】具体的には、半導体基板1上には、メモリセルC11のためのMOSトランジスタTr11およびメモリセルC21のためのMOSトランジスタTr21が近接した位置に形成されている。MOSトランジスタTr11, Tr21のゲートは、図1の紙面に垂直な方向に沿って互いに平行に延びたワードラインWL1, WL2をなしている。半導体基板1の上方には、酸化シリコンなどからなる層間絶縁膜2を挟んで、第1のコントロールラインCL1が、ワードラインWL1, WL2と平行に延びて形成されている。この第1のコントロールラインCL1の上方に、さらに層間絶縁膜3をはさんで、メモリセルC11, C21のためのメモリエレメントME11, ME21が重ねて形成されている。そして、メモリエレメントME21の上方にさらに、層間絶縁膜4を挟んで第2のコントロールラインCL2が、第1コントロールラインCL1と平行に延びて形成されて

いる。

【0034】メモリエレメントME11, ME21は、上述の図9に示されたメモリエレメントMEと同様の構造を有している。ただし、上側に配置されるメモリエレメントME21は、図9の場合とは上下反転して形成されている。なお、以下では、必要に応じて図9を参照する。メモリエレメントME11, ME21の各上部電極16は、共通にビットラインBL1に接合されている。ビットラインBL1は、図1の紙面の左右方向、すなわち、ワードラインWL1, WL2と直交する方向に沿って延びている。

【0035】一方、メモリエレメントME11の下部電極15は、接続部5を介してMOSトランジスタTr11に接続されている。また、メモリエレメントME21の下部電極15(図1においては上側に位置することになる。)は、接続部6を介して、MOSトランジスタTr21に接続されている。接続部5は、コントロールラインCL1の形成時に、同じ導電膜を用いて形成されたノード51と、このノード51とメモリエレメントME11の下部電極15との間を接続するプラグ52と、ノード51とトランジスタTr11のドレインとを接続するプラグ53とを含む。また、接続部6は、コントロールラインCL2の形成時に同じ導電膜を用いて形成されたノード61と、ビットラインBL1の形成時に同じ導電膜を用いて形成されたノード62と、コントロールラインCL1およびノード51の形成時に同じ導電膜を用いて形成されたノード63とを含む。そして、メモリエレメントME21の下部電極15とノード61との間がプラグ64で接続されており、ノード61とノード62との間がプラグ65で接続されており、ノード62とノード63との間がプラグ66で接続されており、ノード63とトランジスタTr21のドレインとの間がプラグ67で接続されている。

【0036】図2に示されているように、MOSトランジスタTr11, Tr21は、ビットラインBL1の延在方向に沿って並設されている。ビットラインBL1との交差を避けるために、メモリエレメントME21の下部電極15は、L字形に形成されている。そして、MOSトランジスタTr21と下部電極15とを接続するための接続部6は、ビットラインBL1を避けた位置において半導体基板1に対してほぼ垂直に形成されている。

【0037】平面レイアウトは、必要に応じて変更可能であるが、ワードラインWL1, WL2の引き回しの容易性を考慮すると、図3に示す平面レイアウトの採用が好ましい。この図3に示すレイアウトでは、メモリエレメントME21の下部電極15をL字形に形成してビットラインBL1を回避した位置に引き出すとともに、トランジスタTr11, Tr21をコントロールラインCL1, CL2の延在方向(すなわち、ワードラインWL1, WL2の延在方向)に沿ってずらして形成してあ

る。そして、L字形の下部電極15の引き出し部15aを接続部6を介して、MOSトランジスタTr21に接続している。

【0038】図4は、この実施形態のMRAMの電気的構成を説明するための電気回路図である。半導体基板1上には、マトリクス状に多数のメモリセルが配置されるのであるが、この図4には、4個のみが示されている。行方向に整列した複数個のメモリセルC11, C12は、ワードラインWL1およびコントロールラインCL1を共有している。そして、メモリセルC11, C12のメモリエレメントME11, ME12の上方には、図1～図3に示した構造によって、同じく行方向に整列した複数個のメモリセルC21, C22のメモリエレメントME21, ME22がそれぞれ積層されている。このような構造が、複数行設けられることによって、半導体基板1上に多数個のメモリセルが配置されている。

【0039】既に説明したとおり、メモリセルC11, C21は、ビットラインBL1を共有していて、このビットラインBL1に、メモリエレメントME11, ME21が接続されている。メモリエレメントME11は、ワードラインWL1からの信号により制御されるMOSトランジスタTr11に接続されており、メモリエレメントME21は、ワードラインWL2からの信号によって制御されるMOSトランジスタTr21接続されている。

【0040】同様に、メモリセルC12, C22は、ビットラインBL2を共有していて、このビットラインBL2に、メモリエレメントME12, ME22が、メモリエレメントME11, ME21の場合と同様に共通接続されている。メモリエレメントME12は、ワードラインWL1からの信号により制御されるMOSトランジスタTr12に接続されており、メモリエレメントME22は、ワードラインWL2からの信号によって制御されるMOSトランジスタTr22に接続されている。

【0041】メモリセルC11に対する書き動作を説明する。メモリセルC11のメモリエレメントME11において、ピン層12の磁気モーメントが図1において右向きであると仮定する。そして、フリー層11の磁気モーメントが、ピン層12の磁気モーメントと平行な状態(すなわち、図1において右向き。「1」状態と定義する。)であって、この状態から、フリー層11の磁気モーメントをピン層12の磁気モーメントと反平行な状態(すなわち、図1において左向き。「0」状態と定義する。)に反転させる場合を考える。

【0042】まず、図1において、たとえば10mAの電流をビットラインBL1の右向きに印加する。さらに、コントロールラインCL1には、たとえば、30mAの電流を、図1の紙面の裏から表に向かう方向に印加する。このとき、コントロールラインCL2には、電流は流さない。メモリエレメントME11のフリー層11

付近にはピットラインBL1とコントロールラインCL1とに流れる電流により、アンペールの法則に従った磁界が生じる。すなわち、フリー層11の磁気モーメントは、ピットラインBL1からの磁界により図1の紙面に対して裏向きの力を受け、さらにコントロールラインCL1からの磁界によって、図1中左向きの力を受ける。これらの力によって、メモリエレメントME11のフリー層11の磁気モーメントの方向は、右向き→紙面裏向き→左向きと変化する。

【0043】磁気異方性によって、フリー層11の磁気モーメントは図1の右向きまたは左向きのいずれかに安定に保持されるから、メモリエレメントME11のフリー層11の磁気モーメントは、反転された後、外部磁界を取り除いても、左向きに持される。この結果、フリー層11とピン層12との磁気モーメントが反平行になり、トンネル電流が小さい状態、つまり「0」の状態を不揮発に書き込めたことになる。

【0044】メモリエレメントME21のフリー層11には、ピットラインBL1からの磁界が図1の紙面表向きに印加される。しかし、このフリー層11は、コントロールラインCL1から比較的遠くに位置しているので、コントロールラインCL1からの磁界は弱い。また、コントロールラインCL1に流れる電流が形成する磁界は、ピットラインBL1により遮蔽される。そのため、メモリエレメントME21のフリー層11の磁気モーメントの方向が反転に至ることはない。すなわち、メモリエレメントME21のフリー層11の磁気モーメントの方向は、ピットラインBL1に対する電流印加停止後に元の方向に戻る。したがって、メモリセルC21の記憶情報は、変化する事がない。

【0045】また、このときピットラインBL2には情報書き込みのための電流が印加されないので、メモリセルC12、C22の記憶情報が変化することはない。メモリセルC11に書き込むべき情報が「1」である場合には、上述の場合のコントロールラインCL1の電流の向きを逆にすればよい。次に、メモリセルC11の記憶情報を読み出すための動作を説明する。この場合、ワードラインWL1には、MOSトランジスタTr11が導通する電圧が印加される。また、ワードラインWL2は、MOSトランジスタTr21を遮断状態とすることができる電圧に設定される。この状態でピットラインBL1に電圧を印加し、メモリセルC11のメモリエレメントME11に流れるトンネル電流の大小をピットラインBL1に接続されたゼンスアンプ（図示せず）によって検出することにより、メモリセルC11の記憶情報が「1」か「0」かを識別することができる。すなわち、トンネル電流量が大きければ「1」の状態が読み出されたことになり、トンネル電流量が小さければ「0」の状態が読み出されたことになる。なお、ピットラインBL2には情報読み出しがための電圧が印加されないので、メモ

リセルC12、C22からの情報の読み出しが起きることはない。

【0046】情報の消去は、各メモリセルに初期値（たとえば「0」）を書き込むことによって達成されるから、特別の消去動作は必要ではない。このようにこの実施形態のMRAMによれば、ピットラインBL1の上下に一対のメモリエレメントME11、ME21を積層して配置することにより、一対のメモリエレメントME11、ME21によってピットラインBL1を共有するようしている。これにより、2セル分のメモリエレメントME11、ME21が実質的に1セル分の面積で形成できる。これにより、小さな面積の半導体基板1上に多数個のメモリセルを集積することができるから、集積度の極めて高いMRAMを実現することができる。

【0047】図5は、この発明の第2の実施形態にかかるMRAMのメモリセル構造を説明するための図解的な断面図である。また、図6は、図5に示されたメモリセル構造の平面レイアウトを説明するための平面図である。これらの図5および図6において、上述の図1および図2に示された各部に対応する部分には、図1および図2の場合と同じ参照符号を付して示す。上述の第1の実施形態の場合とは異なり、この第2の実施形態では、一つのメモリセルC11に2つのメモリエレメントME11a、ME11bが積層されて設けられている。これにより、この第2の実施形態にかかるMRAMにおいては、1つのメモリセルに多値情報を記憶できるようになっている。メモリエレメントME11a、11bは、図9のメモリエレメントMEと同様な構造を有している。

【0048】具体的な構成について説明すると、ピットラインBL1を共有するように上下に積層されるメモリエレメントME11a、ME11bの下部電極15は、いずれも同じMOSトランジスタTr11に接続されている。すなわち、メモリエレメントME11aの下部電極15は、接続部5を介してMOSトランジスタTr11のドレインに接続されている。同様に、メモリエレメントME11bの下部電極15は、別の接続部6を介してMOSトランジスタTr11のドレインに接続されている。

【0049】図6に示されているように、上方側のメモリエレメントME11bの下部電極15は、L字形に形成されていて、ピットラインBL1を回避した位置に引き出された引き出し部15aを有している。この引き出し部15aが、接続部6を介してMOSトランジスタTr11のドレインに接続されている。メモリエレメントME11a、ME11bの各フリー層11の磁気モーメントの方向は、メモリエレメントME11aの下方に層間絶縁膜3を介して設けられた第1のコントロールラインCL1aと、ピットラインBL1と、メモリエレメントME11bの上方に層間絶縁膜4を介して設けられた第2のコントロールラインCL1bとに印加する電流を

個別に制御することによって、各他方のメモリエレメントのフリー層11から独立して制御することができる。

【0050】すなわち、第2のコントロールラインCL1bに電流を印加していない状態で、ピットラインBL1および第1のコントロールラインCL1aに適当な書き込み電流を印加すれば、メモリエレメントME11aのフリー層11の磁気モーメントの方向を制御することができ、メモリエレメントME11aに「0」または「1」の情報を書き込むことができる。同様に、第1のコントロールラインCL1aに電流を印加していない状態で、ピットラインBL1および第2のコントロールラインCL1bに適当な電流を印加すれば、メモリエレメントME11bのフリー層11の磁気モーメントの方向を制御することができ、メモリエレメントME11bに対する情報の書きを行える。

【0051】したがって、メモリエレメントME11a, ME11bの組には、(0, 0), (1, 0)

(0, 1), (1, 1)の4種類の情報を書き込むことができる。ただし、メモリエレメントME11a, ME11bは共通にMOSトランジスタTr11に接続されていて、情報読出時には、各メモリエレメントのトンネル電流の総和が検出できるにすぎない。したがって、結局、二進表記で「00」「01」「11」の3値を記憶できることになる。

【0052】メモリエレメントME11a, ME11bの強磁性トンネル接合素子10の面積を異ならせれば、トンネル電流をメモリエレメントME11aとME11bとで異ならせることができる。これにより、(0, 0), (1, 0) (0, 1), (1, 1)の4種類の記憶状態に応じて4種類の電流を検出できるようにしておけば、二進表記で「00」「01」「10」「11」の4値の記憶が可能になる。

【0053】図7は、この実施形態に係るMRAMの電気的構成を説明するための電気回路図である。この図7には、4つのメモリセルに関する電気的構成が示されているけれども、実際には、半導体基板1上には、さらに多数のメモリセルがマトリクス状に配列されて形成されている。メモリセルC11, C12, C21, C22は、それぞれ、各一对のメモリエレメントME11a, ME11b; ME12a, ME12b; ME21a, ME21b; ME22a, ME22bを有している。これらの各一对のメモリエレメントME11a, ME11b; ME12a, ME12b; ME21a, ME21b; ME22a, ME22bは、それぞれ共通にMOSトランジスタTr11, Tr12, Tr21, Tr22に接続されている。行方向に整列しているメモリセルC11, C12のトランジスタTr11, Tr12のゲートは、共通にワードラインWL1に接続されており、同様に行方向に整列しているメモリセルC21, C22のMOSトランジスタTr21, Tr22のゲートは、共

通にワードラインWL2に接続されている。

【0054】行方向に整列しているメモリセルC11, C21に関連して、第1のコントロールラインCL1aおよび第2のCL1bがワードラインWL1と平行に形成されている。そして、同じく行方向に整列しているメモリセルC21, C22に関連して、第1のコントロールラインCL2aおよび第2のコントロールラインCL2bが、第2のワードラインWL2に平行に形成されている。メモリセルC11に対する情報の書きを行うときには、ピットラインBL1および第1および第2のコントロールラインCL1a, CL1bに対して適当な書き込み電流を印加する。このとき、ピットラインBL2およびメモリセルC21, C22に対応した第1および第2のコントロールラインCL2a, CL2bに対しては、書き込み電流を印加しない。これにより、メモリセルC11においてのみメモリエレメントME11a, ME11bのフリー層11の磁気モーメントの方向が設定される。

【0055】メモリセルC11の記憶情報を読み出すときには、ワードラインWL1にメモリセルC11, C12のMOSトランジスタTr11, Tr12を導通させるための読出電圧が印加される。このとき、他のワードラインWL2には、読出電圧は印加されない。そして、ピットラインBL2に電圧を印加せず、メモリセルC11に対応したピットラインBL1にのみ適当な読出電流を印加する。これとともに、センスアンプ(図示せず)によって、ピットラインBL1に流れる電流量を検出する。

【0056】このときに検出される電流量は、メモリエレメントME11a, ME11bにおける磁気モーメントの状態に応じて3種類(強磁性トンネル接合素子10の面積を適切に異ならせてある場合には4種類)の値をとる。なお、ワードラインWL2には読出電圧が印加されないので、メモリセルC21, C22ではトランジスタTr21, Tr22が遮断状態に保持される。そして、メモリセルC12に対応したピットラインBL2には読出のための電圧が印加されない。したがって、メモリセルC11の記憶情報の読出時に、他のメモリセルからの情報が読み出されることはない。

【0057】情報の消去は、各メモリセルに初期値(たとえば「0」)を書き込むことによって達成され、特別の消去動作は必要ではない。図8は、この発明の第3の実施形態に係るMRAMの構造を説明するための図解的な断面図である。この図8には、図9のメモリエレメントMEと同様な構成の4つのメモリエレメントME1, ME2, ME3, ME4を、半導体基板1に対して垂直な方向に積層した構造が示されている。これらの4つのメモリエレメントME1～ME4は、半導体基板1上のMOSトランジスタTrに共通に接続されている。

【0058】4つのメモリエレメントME1～ME4にそれぞれ「0」または「1」の情報を書き込むことで

き、結果として、4ビットの情報をメモリセルCに記憶することができる。具体的には、メモリエレメントME

(0 0 0 0)	(0 0 0 1)	(0 0 1 0)	(0 0 1 1)
(0 1 0 0)	(0 1 0 1)	(0 1 1 0)	(0 1 1 1)
(1 0 0 0)	(1 0 0 1)	(1 0 1 0)	(1 0 1 1)
(1 1 0 0)	(1 1 0 1)	(1 1 1 0)	(1 1 1 1)

これにより、多値情報を1つのメモリセルCに記憶することができるようになっている。このようなメモリセルCを半導体基板1上にマトリクス状に多数配列することによって、高度に集積化された多値MRAMを実現することができる。

【0059】ただし、4つのメモリエレメントME1～ME4が同様な構造を有する場合には、MOSトランジスタTrを導通させて読出動作を行ったときに検出される電流値は、5種類の値をとる。したがって、1つのメモリセルに5値のデータを記憶できることになる。なお、メモリエレメントME1～ME4の強磁性トンネル接合素子T0の面積を異ならせれば、4つのメモリエレメントME1～ME4の総トンネル電流を、最大で16種類に変化させることができる。したがって、最大で16値までのデータを1つのメモリセルに記憶させることができる。

【0060】構成の詳細について説明すると、半導体基板1上には、4つのメモリエレメントME1～ME4によって共有される1つのMOSトランジスタTrが形成されている。このMOSトランジスタTrのゲートは、図8の紙面に垂直な方向に延びるワードラインWLを形成している。このワードラインWLの上方に第1のコントロールラインCLaが層間絶縁膜2を介して形成されており、さらに、その上方に、層間絶縁膜3を介して第1のメモリエレメントME1が形成されている。この第1のメモリエレメントME1の上方には、第1のビットラインBLaを介して第2のメモリエレメントME2が積層されている。さらに、第2のメモリエレメントME2の上方には、層間絶縁膜4を介して第2のコントロールラインCLbが設けられていて、その上方には、さらに、層間絶縁膜9を介して第3のメモリエレメントME3が積層されている。このメモリエレメントME3の上方には、第2のビットラインBLbを介して第4のメモリエレメントME4が積層されている。そして、この第4のメモリエレメントME4の上方に層間絶縁膜10を介して第3のコントロールラインCLcが設けられている。

【0061】第1ないし第3のコントロールラインCLa～CLcは、ワードラインWLに平行に形成されている。一方、第1および第2のビットラインBLa, BLbは、ワードラインWLと交差する方向に沿って形成されている。第1のコントロールラインCLaは、メモリエレメントME1の情報書換えのために用いられ、第2のコントロールラインCLbは、メモリエレメントME

1～ME4の記憶値の組は、次の16種類の状態をとる。

(0 0 0 0)	(0 0 0 1)	(0 0 1 0)	(0 0 1 1)
(0 1 0 0)	(0 1 0 1)	(0 1 1 0)	(0 1 1 1)
(1 0 0 0)	(1 0 0 1)	(1 0 1 0)	(1 0 1 1)
(1 1 0 0)	(1 1 0 1)	(1 1 1 0)	(1 1 1 1)

2. ME3の記憶情報の書換えのために共通に用いられ、第3のコントロールラインCLcは、メモリエレメントME4の記憶情報の書換えのために用いられる。また、第1のビットラインBLaは、メモリエレメントME1, ME2の記憶情報の書換えおよびこれらのメモリエレメントからの記憶情報の読み出るために共通に用いられ、第2のビットラインBLbは、メモリエレメントME3, ME4の記憶情報の書換えおよびこれらのメモリエレメントからの記憶情報の読み出ために共通に用いられる。

【0062】メモリエレメントME1～ME4の各下部電極15は、それぞれ、接続部5, 6, 7, 8を介して、トランジスタTrのドレインに共通に接続されている。第1～第3のコントロールラインCLa～CLcには、独立に電圧を印加できるようになっている。また、第1および第2のビットラインBLa, BLbも同様に、独立して電圧を印加することができるようになっている。ただし、第1および第2のビットラインBLa, BLbは、当該メモリセルCからの情報の読み出時には、共通に読み出のための電圧が印加されて、これらの第1および第2のビットラインBLa, BLbに導出された電流が共通にセンサアンプによって検出されるようになっている。

【0063】メモリエレメントME1に対する情報の書き込みは、第1のビットラインBLaおよび第1のコントロールラインCLaにそれぞれ書き込み用の電流を印加することによって達成される。このとき、コントロールラインCLbに書き込み電流を印加しなければ、メモリエレメントME2のフリー層11の磁気モーメントの方向が変化することはない。メモリエレメントME2に対する情報の書き込みは、第1のビットラインBLaおよびコントロールラインCLbに書き込み用の電流を印加することによって達成される。このとき、第1のコントロールラインCLaに書き込み用の電流を印加しなければメモリエレメントME1に対する情報の書き込みが起きることはない。また、第2のビットラインBLbに書き込み用の電流を印加しなければ、メモリエレメントME3に対する情報の書き込みが起きることはない。

【0064】メモリエレメントME3に対する情報の書き込みも、同様にして行える。すなわち、第2のコントロールラインCLbおよび第2のビットラインBLbに情報書き込み用の電流をそれぞれ印加すれば、メモリエレメントME3のフリー層11の磁気モーメントの方向を所望の方向に設定できる。このとき、コントロールラインCL

cに書込電流を印加しなければ、メモリエレメントME4に対する情報の書込は起こらない。また、第1のビットラインBLaに書込用の電流を印加しなければ、メモリエレメントME2に対する情報の書込が起こることもない。

【0065】さらに、メモリエレメントME4に対する情報の書込は、第2のビットラインBLbおよび第3のコントロールラインCLcに対して、それぞれ書込用の電流を印加することによって達成される。このとき、第2のコントロールラインCLbに書込用の電流を印加しなければ、メモリエレメントME3に対する情報の書込は起こらない。アンペールの法則によれば、電流経路から十分に離れた位置では強い磁界が形成されず、また、ビットラインBLa, BLbにより磁界が遮蔽されることから、たとえば、メモリエレメントME1およびME4に対する情報の書込が並行して行われてもよい。すなわち、第1および第3のコントロールラインCLa, CLc、ならびに第1および第2のビットラインBLa, BLbにそれぞれ書込用の電流を印加する。そして、このとき、コントロールラインCLbには書込用の電流を印加しない。これにより、メモリエレメントME1, ME4の各フリー層11における磁気モーメントの方向を設定することができる。

【0066】このようにこの実施形態の構成を採用すると、1メモリセルに5値～16値のデータ記憶が可能な多値MRAMを実現できる。同様にして、多数のメモリエレメントを半導体基板1に垂直な方向に積層していくば、さらに多くの値数の多値メモリも実現可能である。そして、この実施形態の構成では、ビットラインおよびコントロールラインを隣接する一对のメモリエレメント間で共有するようにしているので、配線数を少なくすることができ、比較的簡単な構成で集積度の高いMRAMを実現できるという効果を奏すことができる。

【0067】この発明の実施形態の説明は以上のとおりであるが、この発明は、上述の実施形態に限定されるものではない。たとえば、上述の第1の実施形態においては、半導体基板1に垂直な方向に積層された一对のメモリエレメントME11, ME21によってビットラインBL1が共有されるようになっているが、一对のメモリエレメントME11, ME21の間に、コントロールラインを配置して、このコントロールラインをメモリエレメントME11, ME21によって共有するようにしてもよい。この場合には、メモリエレメントME11の下端にビットラインを接続し、メモリエレメントME21の上端に別のビットラインを接続すればよい。

【0068】また、図1の構成において、コントロールラインCL2の上方にさらに別のメモリエレメントを配置し、この別のメモリエレメントを半導体基板1上に設けた読出用トランジスタに接続するようにしてもよい。この場合、この第3層目のメモリエレメントの上方に、

メモリエレメントに接続されるビットラインを設ければよい。これにより、コントロールラインCL2をメモリエレメントME21および上記別のメモリエレメントに対する情報書込のために共有することができる。そして、1つのメモリセルのスペース分に実質的に3つのメモリセルを配置することができる。同様にして、4つ以上のメモリセルを1メモリセル分の面積に配置して、さらに高集積化されたMRAMを実現することができる。

【0069】また、上述の実施形態では、図9に示された構成のメモリエレメントを用いることとしているけれども、メモリエレメントには、別の構成を採用することもできる。たとえば、トンネル絶縁層13にはアルミナの代わりにGdO, Ta₂O₅, HfO₂, NiO, MgOを適用してもよく、また、強磁性体層11, 12には、CoFeの代わりにCo, NiFe, LaSrMnO₃, CrO₂を適用してもよい。

【0070】その他、特許請求の範囲に記載された技術的事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図1】この発明の第1の実施形態に係るMRAMのメモリセルの構造を説明するための図解的な断面図である。

【図2】上記MRAMのレイアウトを示す図解的な平面図である。

【図3】上記MRAMのレイアウトの別の例を示す図解的な平面図である。

【図4】上記第1の実施形態のMRAMの電気的構成を説明するための電気回路図である。

【図5】この発明の第2の実施形態に係るMRAMのメモリセル構造を説明するための図解的な断面図である。

【図6】図5に示されたメモリセル構造のレイアウトを説明するための平面図である。

【図7】上記第2の実施形態に係るMRAMの電気的構成を説明するための電気回路図である。

【図8】この発明の第3の実施形態に係るMRAMの構造を説明するための図解的な断面図である。

【図9】MRAMのメモリエレメントの構成を説明するための断面図である。

【図10】従来のMRAMのメモリセル構造を説明するための図解的な断面図である。

【図11】従来のMRAMの電気的構成を説明するための電気回路図である。

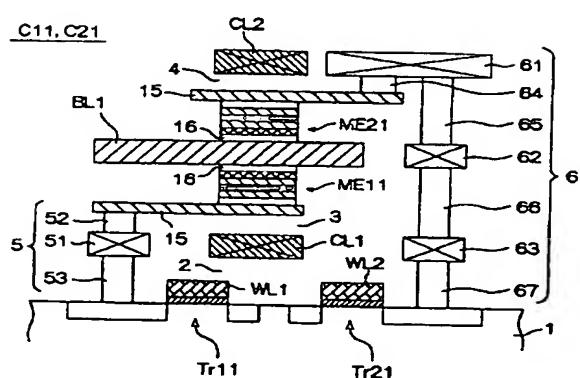
【符号の説明】

1	半導体基板
5	接続部
6	接続部
10	強磁性トンネル接合素子
11	フリー層(強磁性体層)
12	ピン層(強磁性体層)

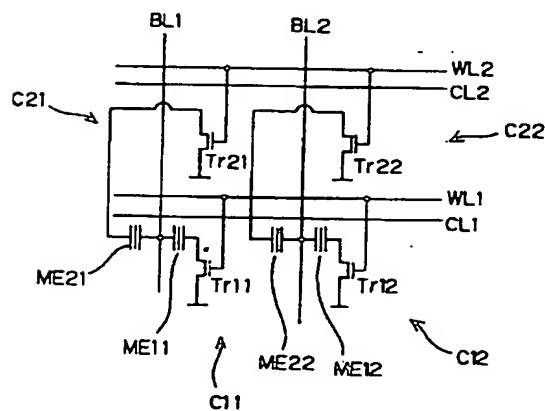
1 3 トンネル絶縁層
 1 4 反強磁性体層
 1 5 下部電極
 1 6 上部電極
 BL 1 ビットライン
 BL 2 ビットライン
 BL a ビットライン
 BL b ビットライン
 C 1 1 メモリセル
 C 1 2 メモリセル
 C 2 1 メモリセル
 C 2 2 メモリセル
 C メモリセル
 CL 1 コントロールライン
 CL 2 コントロールライン
 CL 1 a コントロールライン
 CL 1 b コントロールライン
 CL 2 a コントロールライン
 CL 2 b コントロールライン

CL a コントロールライン
 CL b コントロールライン
 CL c コントロールライン
 ME 1 1 メモリエレメント
 ME 1 2 メモリエレメント
 ME 2 1 メモリエレメント
 ME 2 2 メモリエレメント
 ME 1 1 a メモリエレメント
 ME 1 1 b メモリエレメント
 ME 1~ME 4 メモリエレメント
 Tr 1 1 トランジスタ
 Tr 1 2 トランジスタ
 Tr 2 1 トランジスタ
 Tr 2 2 トランジスタ
 Tr トランジスタ
 WL 1 ワードライン
 WL 2 ワードライン
 WL ワードライン

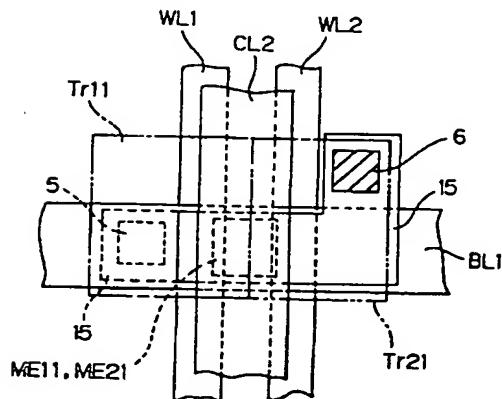
【図1】



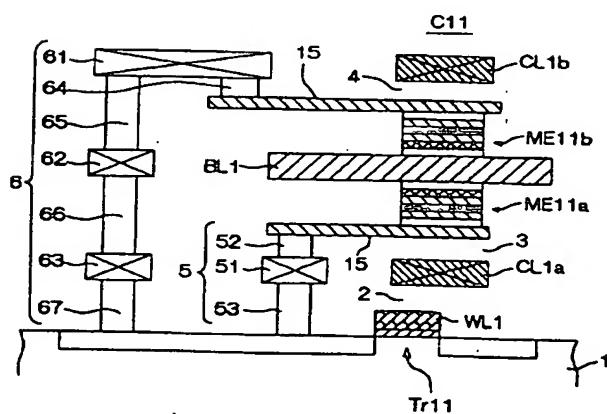
【図4】



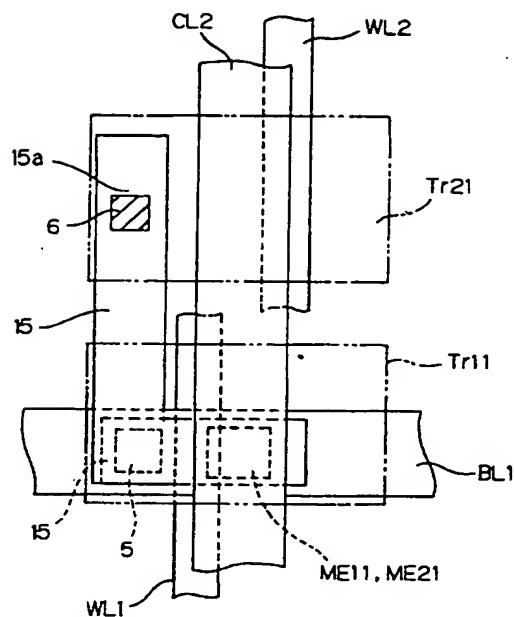
【図2】



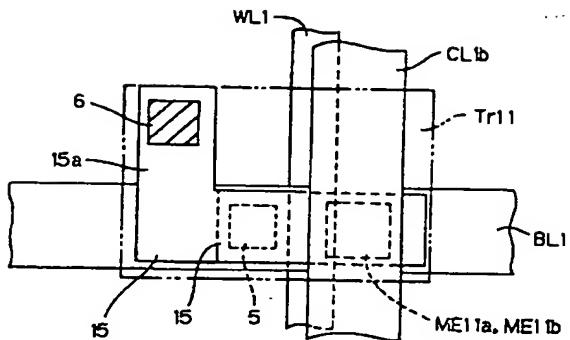
【図5】



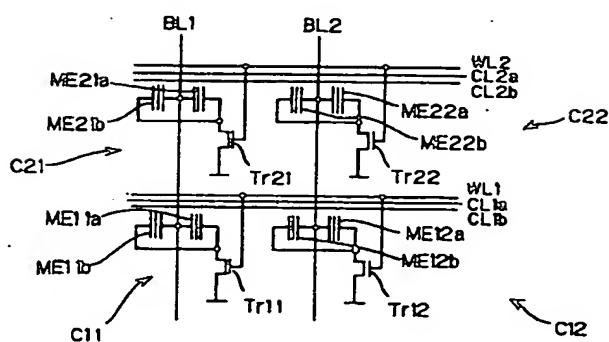
【図3】



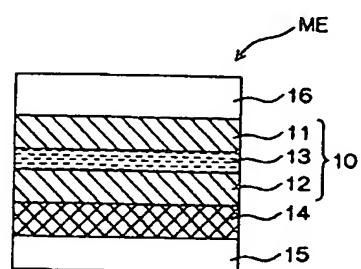
【図6】



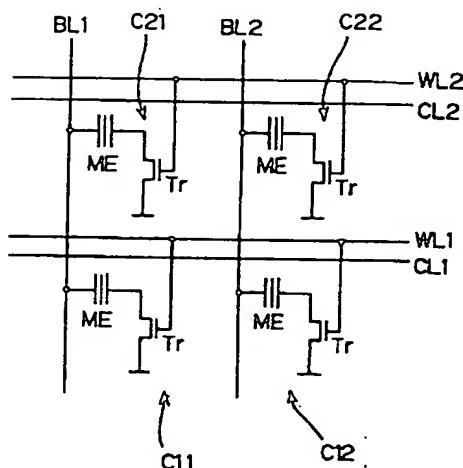
【図7】



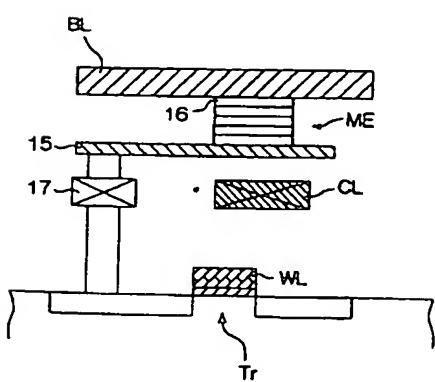
【図9】



【図11】



【図10】



【図8】

